



RESEARCH

INTEGRATED IAM

SERVICES

INSIDE DELPHION

Logout Workfiles Search

My Account | Products | News | Events

Search: Quick Number Boolean Advanced

Help

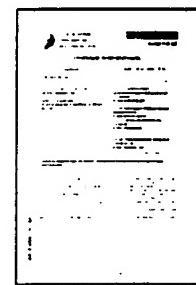
## The Delphion Integrated View

Buy Now:  PDF | More choices...Tools: Add to Work File:  

View: Expand Details | INPADOC | Jump to: Top

Go to: Derwent..

Title:	<b>EP0600112A1: Data processing system with virtual memory addressing and memory access controlled by keys</b>
Country:	EP European Patent Office (EPO)
Kind:	A1 Publ. of Application with search report
Inventor:	Eckenberger, Eberhard, Dipl.-Ing.; Wimmer, Manfred, Dipl.-Ing.;
Assignee:	Siemens Nixdorf Informationssysteme Aktiengesellschaft <a href="#">News</a> , <a href="#">Profiles</a> , <a href="#">Stocks</a> and More about this company.
Published / Filed:	June 8, 1994 / Nov. 30, 1992
Application Number:	EP1992000120421
IPC Code:	G06F 12/14; G06F 12/10;
ECLA Code:	G06F12/10L; G06F12/14D1A;
Priority Number:	Nov. 30, 1992 EP1992000120421
Abstract:	


[High Resolution](#)  
[Low Resolution](#)

14 pages

Independent key memory control unit (KMU) coupled to the address conversion unit (ACU) of the processor (PIU), with a key memory (KM) driven via real memory addresses, the key memory containing entries (KEY) for each section of data, e.g. a page, separately protected in the main memory. Each entry consists of the memory key (ACC) and three further control bits (F, R and C), of which the last also serves for administration. Driving of the address conversion unit (ACU) and processor (PIU) via common switchable input interface (KMIa), while the input/output processors (IOP) are coupled via a separate interface. The key memory control unit (KMU) works under command control. For the purposes of address conversion, it is driven by the address conversion unit (ACU) at each memory request of the processor (PIU), if the administration bits are to be altered or if there is still no entry in the address conversion buffer (TLB). Characterisation of entries in the address conversion buffer (TLB) in a memory (KIAT), addressable in parallel with the key memory and of the same depth, prevents unnecessary testing of the address conversion buffer (TLB) when entries are to be cleared.

Best Available Copy

INPADOC	<a href="#">Show legal status actions</a>
Legal Status:	
Designated Country:	AT BE CH DE DK ES FR GB GR IE IT LI LU MC NL PT SE
Family:	None



Europäisches Patentamt  
European Patent Office  
Office européen des brevets



⑪ Veröffentlichungsnummer: **0 600 112 A1**

⑫

## EUROPÄISCHE PATENTANMELDUNG

⑬ Anmeldenummer: **92120421.0**

⑮ Int. Cl. 5: **G06F 12/14, G06F 12/10**

⑯ Anmeldetag: **30.11.92**

⑭ Veröffentlichungstag der Anmeldung:  
**08.06.94 Patentblatt 94/23**

⑮ Benannte Vertragsstaaten:  
**AT BE CH DE DK ES FR GB GR IE IT LI LU MC  
NL PT SE**

⑰ Anmelder: **Siemens Nixdorf  
Informationssysteme Aktiengesellschaft  
Fürstenallee 7  
D-33102 Paderborn(DE)**

⑱ Erfinder: **Eckenberger, Eberhard, Dipl.-Ing.  
Bettinastrasse 23  
W-8000 München 83(FR)  
Erfinder: Wimmer, Manfred, Dipl.-Ing.  
Pierling 28  
W-8225 Traunreut(DE)**

⑲ Vertreter: **Fuchs, Franz-Josef, Dr.-Ing. et al  
Postfach 22 13 17  
D-80503 München (DE)**

⑳ Datenverarbeitungsanlage mit virtueller Speicheradressierung und schlüsselgesteuertem Speicherzugriff.

㉑ Mit der Adressumsetzungseinheit (ACU) des Prozessors (PIU) gekoppelte eigenständige Schlüsselspeichersteuereinheit (KMU) mit einem durch reale Speicheradressen ansteuerbaren Schlüsselspeicher (KM), der Einträge (KEY) für jeden im Arbeitsspeicher gesondert geschützten Datenabschnitt, z.B. Seite, enthält. Jeder Eintrag besteht aus dem Speicherschlüssel (ACC) und drei weiteren Steuerbits (F, R und C,) von denen die letzteren auch der Verwaltung dienen. Ansteuerung von Adressumsetzungseinheit (ACU) und Prozessor (PIU) über gemeinsame umschaltbare Eingabeschnittstelle (KMIA), während die Ein-/Ausgabeprozessoren (IOP) über eine gesonder-

te Schnittstelle angekoppelt sind. Die Schlüsselspeichersteuereinheit (KMU) arbeitet befehlsgesteuert. Sie wird bei jeder Speicheranforderung des Prozessors (PIU) im Rahmen der Adressumsetzung von der Adressumsetzungseinheit (ACU) angesteuert, wenn die Verwaltungsbits zu ändern sind oder noch kein Eintrag im Adressumsetzungspuffer (TLB) vorliegt. Kennzeichnung von Einträgen im Adressumsetzungspuffer (TLB) in einem zum Schlüsselspeicher parallel adressierbaren Speicher (KIAT) gleicher Tiefe verhindert unnötige Überprüfungen des Adressumsetzungspuffers (TLB), wenn Einträge zu löschen sind.

EP 0 600 112 A1

Best Available Copy

Die Erfindung betrifft eine Datenverarbeitungsanlage entsprechend dem Oberbegriff des Patentanspruches 1.

Die Verknüpfung der Adreßumsetzung mit der Schlüsselverwaltung für den Speicherschutz ist allgemein bekannt - man siehe z.B. "Computer Architecture And Parallel Processing" von Kai Hwang und Faye A. Briggs, McGraw-Hill Book Company, New York, 1984, S. 65 bis 79, oder Siemens Druckschrift D15/5104 -04, S. 6-1 bis 6-7.

Auch ist es bekannt, die Speicherschlüssel nicht in die einzelnen Übersetzungstabellen aufzunehmen, sondern in einem gesonderten Speicher teil des Arbeitsspeichers als Schlüsselspeicher mit der realen Seitenadresse ansteuerbar zusammengefaßt zu speichern - man siehe z.B. EP-0 106 600-B1. Die Überprüfung der Zugriffsberechtigung erfolgt dabei im Rahmen der Speicheransteuerung vor dem freizugebenden, eigentlichen Speicherzugriff auf die Daten im Arbeitsspeicher. Auch diese Lösung läßt sich mit einem Adreßumsetzungspuffer, dessen Einträge zusätzlich den Speicherschlüssel enthalten, koppeln mit dem Vorteil, daß Arbeitsspeicherzugriffe unmittelbar ohne vorherige Prüfung anhand des Eintrags im Schlüsselspeicher freigegeben werden können.

Den eigentlichen Schlüsselwerten sind im allgemeinen gesonderte, der Verwaltung dienende Steuerbits zugeordnet, die darüber Auskunft geben, ob auf eine zugehörige Datenseite im Arbeitsspeicher zugegriffen worden ist und ob der Zugriff schreibend und damit datenverändernd war. Diese Steuerbits müssen daher bei jedem Speicherzugriff angesteuert und gegebenenfalls geändert werden, so daß es zweckmäßig ist, bei Verwendung eines Adreßumsetzungspuffers auch diese Steuerbits dort zu führen.

Dabei ist jedoch sicherzustellen, daß bei der Löschung eines Eintrags im Adreßumsetzungspuffer die zugehörigen Steuerbits in den Schlüsselspeicher übertragen werden. Bei im Adreßumsetzungspuffer vorliegenden Einträgen können daher Zugriffe zum Schlüsselspeicher ebenfalls entfallen. Sie sind weiterhin nur erforderlich, wenn infolge Fehlens eines Eintrags im Adreßumsetzungspuffer eine Adreßübersetzung erforderlich wird. Von Nachteil dabei ist jedoch, daß die Einträge für die Verwaltungsbits im Schlüsselspeicher und im Adreßumsetzungspuffer nicht mehr konsistent sind, so daß Direktzugriffe eines Ein-/Ausgabeprozessors zum Arbeitsspeicher und Änderungen der Schlüsselinträge im Schlüsselspeicher bei notwendig werdendem Seitenwechsel besondere Steuerungsmaßnahmen erfordern.

Aufgabe der Erfindung ist es daher, eine Datenverarbeitungsanlage entsprechend dem Oberbegriff des Patentanspruches 1 so zu gestalten, daß die mit der Verwaltung der Speicherschlüssel ver-

bundenen Probleme in einfacher und die Datenverarbeitungsanlage weniger belastender Weise sowie mit verhältnismäßig geringem Aufwand gelöst werden.

5 Diese Aufgabe wird durch die kennzeichnenden Merkmale des Patentanspruches 1 gelöst. Danach sind alle Schlüssel zu den im Arbeitsspeicher jeweils befindlichen Speicherabschnitten oder -seiten ebenfalls in einem Speicher als Schlüsselspeicher zusammengefaßt. Dieser Schlüsselspeicher ist aber nicht mehr Bestandteil des Arbeitsspeichers, sondern einer eigenständigen Schlüsselspeichersteuereinheit zugeordnet, die unabhängig vom Arbeitsspeicher über jeweils gemeinsame Schnittstellen wahlweise sowohl mit dem steuernden Prozessor als auch mit der Adreßumsetzungseinheit kopplbar ist. Alle vom Betriebssystem über den steuernden Prozessor veranlaßten Änderungen im Schlüsselspeicher und alle im Rahmen der über die Adreßumsetzungseinheit geleiteten normalen Speicherzugriffe notwendig werdenden Änderungen können daher in einheitlicher Weise befehlsgesteuert ohne zusätzliche Belastung des Arbeitsspeichersystems ausgeführt werden.

25 In analoger Weise zur Ansteuerung über die Eingabeschmittstelle können gemäß Patentanspruch 3 auch Ein-/Ausgabeprozessoren über individuelle Schnittstellen an die Schlüsselspeichersteuereinheit angeschlossen sein, wobei eine Vorrangschaltung für alle Ansteuerschnittstellen den Zugriff zum Schlüsselspeicher regelt. Die für Rücksignale notwendige zweite Schnittstelle braucht in diesem Falle nur ein Prüfsignal "Zugriff erlaubt" bzw. "Zugriff nicht erlaubt" zurückzuleiten und kann entsprechend schmal gestaltet werden.

30 Gemäß Anspruch 4 ist dem Schlüsselspeicher ein weiterer Speicher parallel geschaltet, wobei beide Speicher parallel ansteuerbar sind. In diesem weiteren Speicher wird jeder im Adreßumsetzungspuffer enthaltene Eintrag durch ein Steuerbit gekennzeichnet, so daß bei jeder Änderung eines Schlüssels im Schlüsselspeicher parallel geprüft werden kann, ob ein zwangsläufig zu löschernder Eintrag im Adreßumsetzungspuffer vorliegt. Dieser als Filter wirkende weitere Speicher verhindert damit, daß bei jeder Schlüsseländerung der gesamte Adreßumsetzungspuffer auf entsprechende Einträge überprüft werden muß.

35 Einzelheiten der Erfindung seien nachfolgend 40 anhand eines in der Zeichnung dargestellten Ausführungsbeispiels näher erläutert. Im einzelnen zeigen

45 Figur 1 ein Blockschaltbild der Schlüsselspeichersteuereinheit gemäß der Erfindung mit den zugehörigen Schnittstellen,  
50 Figur 2 ein Flußdiagramm zur Erläuterung des Steuerungsablaufs bei einem an die Adreßumsetzungseinheit gerichteten Speicherzugriff,

keitsbit übernommen wird.

Bei einem bereits im Adreßumsetzungspuffer TLB vorhandenen Eintrag kann abhängig von der virtuellen Adresse VAD neben der zugehörigen realen Adresse PAD unmittelbar auch der zugehörige Speicherschlüssel TLB:ACC ermittelt und für einen Vergleich mit dem vom steuernden Prozessor PIU gelieferten Zugriffsschlüssel PSW:ACC/F durch den Vergleicher VG2 herangezogen werden, so daß ein Speicherzugriff mit der ermittelten realen Adresse PAD unmittelbar freigegeben oder verhindert werden kann. Ergibt dagegen die Überprüfung des Adreßumsetzungspuffers TLB, daß noch kein Eintrag vorliegt, dann kann die Überprüfung der Zugriffsberechtigung unmittelbar nach der dann notwendigen Adreßübersetzung anhand des aus dem Schlüsselspeicher KM gelesenen Speicherschlüssels KM:ACC/F vorgenommen werden.

Parallel zum Schlüsselspeicher KM ist ein weiterer Speicher KIAT gleicher Tiefe vorgesehen, der mit der jeweils freigegebenen realen Adresse PAD parallel zum Schlüsselspeicher angesteuert wird. Die Einträge in diesem Speicher KIAT bestehen jeweils aus einem Bit, das im gesetzten Zustand einen zugehörigen Eintrag im Adreßumsetzungspuffer TLB anzeigt. Bei einer Änderung des Schlüssel im Schlüsselspeicher KM infolge des Austausches einer Speicherseite im Arbeitsspeicher kann auf diese Weise unmittelbar erkannt werden, ob durch die Schlüsseländerung ungültig gewordene Einträge im Adreßumsetzungspuffer TLB zu löschen sind oder nicht. Dadurch entfallen in einfacher Weise unnötige, das System belastende Überprüfungen des Adreßumsetzungspuffers auf zu löschen Einträge.

Die Schlüsselspeichersteuereinheit KMU arbeitet befehlsgesteuert durch die mit der jeweiligen Anforderung angelieferten Befehle CMD. Dabei kann abhängig von der anfordernden Quelle zwischen drei Gruppen von Befehlen unterschieden werden, nämlich

- Befehle der Adreßumsetzungseinheit ACU zur Änderung der Steuerbits im Schlüsselspeicher KM und im Speicher KIAT im Rahmen von Speicherzugriffsanforderungen durch den steuernden Prozessor PIU und gegebenenfalls zum Auswerten des Speicherschlüssels bei fehlenden Einträgen im Adreßumsetzungspuffer TLB,
- Befehle des Ein-/Ausgabeprozessors IOP zur Prüfung der Speicherzugriffsberechtigung anhand des im Schlüsselspeicher KM eingetragenen Speicherschlüssels mit entsprechender Änderung der der Verwaltung dienenden Steuerbits R und C und
- vom Betriebssystem veranlaßte Befehle des steuernden Prozessors PIU in Verbindung mit der Bereitstellung und der Auslagerung von Speicherseiten im Arbeitsspeicher.

Die Einbettung der Befehle der Adreßumsetzungseinheit ACU in den üblichen Adreßübersetzungsvorgang im Rahmen einer Speicheranforderung ist aus dem Flußdiagramm von Figur 2 ersichtlich. Anhand der mit der Speicheranforderung verbundenen virtuellen Speicheradresse VAD wird zunächst der Adreßumsetzungspuffer TLB auf Vorliegen einer übersetzten realen Adresse PAD zu der virtuellen Adresse überprüft. Liegt noch kein Eintrag vor, wird die Adreßübersetzung angefordert und in bekannter Weise durchgeführt. Unabhängig davon, ob es sich beim gewünschten Speicherzugriff um einen Lese- oder Schreibzugriff handelt, wird anhand der übersetzten Adresse PAD der zugehörige Speicherschlüssel aus dem Schlüsselspeicher KM angefordert, was zu den entsprechenden Befehlen READ KEY... zum Lesen des Speicherschlüssels führt, wobei im Vorgriff bei einer Leseanforderung das Steuerbit R gesetzt wird und bei einer Schreibanforderung beide Steuerbits R und C im Schlüsselspeicher KM gesetzt werden. Außerdem wird im selben Steuervorgang das Steuerbit im Speicher KIAT bereits gesetzt, da bei einem zulässigen Speicherzugriff auch ein Eintrag im Adreßumsetzungspuffer TLB anzulegen ist. Anhand des aus dem Schlüsselspeicher KM gelesenen Speicherschlüssels KM:ACC/F wird dann durch den Vergleicher VG2 anhand des vom steuernden Prozessor PIU gelieferten Zugriffsschlüssels PSW:ACC die Zulässigkeit des Speicherzugriffs überprüft. Ist der Zugriff zulässig, wird ein entsprechender Eintrag im Adreßumsetzungspuffer TLB mit dem gelesenen Speicherschlüssel ACC/F angelegt, wobei im Falle von Schreibzugriffen auch das Steuerbit C gesetzt wird. Außerdem wird der eigentliche Speicherzugriff veranlaßt.

Ist dagegen keine Adreßübersetzung möglich oder die Zugriffsberechtigung nicht gegeben, wird mit INTERRUPT in bekannter Weise in eine Unterbrechungsroutine übergeleitet.

Ist im Adreßumsetzungspuffer TLB bereits ein gültiger Eintrag zu der die Speicheranforderung begleitenden virtuellen Adresse VAD vorhanden, wird die Zugriffsberechtigung unmittelbar anhand des im Adreßumsetzungspuffer TLB eingetragenen Speicherschlüssels TLB:ACC/F überprüft. Liegt eine Schreibanforderung vor, wird außerdem geprüft, ob das Steuerbit C im Adreßumsetzungspuffer bereits gesetzt ist. Ist dies der Fall oder liegt eine Leseanforderung vor, kann bei gegebener Zugriffsberechtigung unmittelbar der gewünschte Speicherzugriff veranlaßt werden. Im anderen Falle ist die Schlüsselspeichersteuereinheit KMU mit dem Befehl SET R/C anzusteuern und im Adreßumsetzungspuffer TLB das Steuerbit C zu setzen. Das Mitführen des Steuerbits C im Adreßumsetzungspuffer erspart somit ein zusätzliches Ansteuern der Schlüsselspeichersteuereinheit KMU.

Portionen von der Länge des Eintrags KEY aufteilen und diese Portionen nacheinander über dieselben Schnittstellenleitungen übertragen würde.

#### Patentansprüche

1. Datenverarbeitungsanlage, die mit virtueller Speicheradressierung und Adreßumsetzung der virtuellen Adressen (VAD) eines Hintergrundspeichers in reale Adressen (PAD) für einen Arbeitsspeicher (ASP) arbeitet und bei der Zugriffe zum Arbeitsspeicher (ASP) über eine Adreßumsetzungseinheit (ACU) mit Adreßumsetzungspuffer (TLB) an Hand virtueller Adressen (VAD) erfolgen, wobei im Arbeitsspeicher (ASP) nicht vorhandene Daten aus dem Hintergrundspeicher nachgeladen werden und dem zugehörigen Datenabschnitt, z.B. Speicherseite, jeweils eine reale Adresse (PAD) des im Arbeitsspeicher zur Verfügung gestellten Datenabschnittes zugeordnet wird, und bei der die Datenabschnitte durch zugeordnete Speicherschlüssel (ACC) gegen unberechtigte Zugriffe geschützt sind, indem die den einzelnen zu verarbeitenden Programmen oder Programmabschnitten zugeordneten Zugriffsschlüssel (PSW:ACC) jeweils mit dem entsprechenden Speicherschlüssel (ACC) verglichen werden und indem nur bei Übereinstimmung beider der Zugriff erlaubt wird, wobei die Einträge im Adreßumsetzungspuffer (TLB) jeweils mit dem zugehörigen Speicherschlüssel (ACC) versehen sind und für den Vergleich verwendet werden,

**dadurch gekennzeichnet,**

- daß die Speicherschlüssel (ACC) aller im Arbeitsspeicher (ASP) vorhandenen Datenabschnitte in einem real adressierten Schlüsselspeicher (KM) zusammengefaßt sind, der Bestandteil einer eigenständigen Schlüsselspeichersteuereinheit (KMU) ist, die einerseits über eine gemeinsame, von der Adreßumsetzungseinheit (ACU) gesteuerte Eingabeschnittstelle (KMIA) und andererseits über eine gemeinsame Ausgabeschnittstelle (KMIB) jeweils sowohl mit der Adreßumsetzungseinheit (ACU) als auch mit dem steuernden Prozessor (PIU) verbunden ist,
- daß bei Speicherzugriffen, gesteuert durch entsprechende Befehle der Adreßumsetzungseinheit (ACU), Einträge des Schlüsselspeichers (KM) für die Einträge im Adreßumsetzungspuffer (TLB) zur Verfügung gestellt und dem Speicherschlüssel (ACC) im Schlüsselspeicher (KM) zugeordnete Steuerbits (R, C) abhängig von der jeweiligen Speicherzug-

5

10

15

20

25

30

35

40

45

50

55

riffsart verändert werden und

- daß zum Austausch von Datenabschnitten zwischen dem Hintergrundspeicher und dem Arbeitsspeicher (ASP), gesteuert durch entsprechende Befehle des steuernden Prozessors (PIU), die entsprechenden Schlüsseleinträge im Schlüsselspeicher (KM) überprüft und/oder geändert werden.

2. Datenverarbeitungsanlage nach Anspruch 1, **dadurch gekennzeichnet,**

daß die Eingabeschnittstelle (KMIA) durch vorgeschaltete Umschalter (AWS-ANF) normalerweise mit dem steuernden Prozessor (PIU) verbunden ist, daß eine Umschaltung der Eingabeschnittstelle (KMIA) auf die Adreßumsetzungseinheit (ACU) durch diese nur nach einer Speicheranforderung durch den steuernden Prozessor im Rahmen der durchzuführenden Adreßumsetzung erfolgt und daß eine neue Anforderung von der Schlüsselspeicher-Steuereinheit (KMU) jeweils nur entgegengenommen wird, wenn eine zuvor angenommene Anforderung erledigt ist, so daß der steuernde Prozessor (PIU) anhand des von ihm ausgelösten Steuervorganges (Speicherzugriff oder Schlüsselspeicheransteuerung) erkennen kann, ob an der gemeinsamen Ausgabeschnittstelle (KMIB) anliegende Daten für ihn bestimmt sind oder nicht.

3. Datenverarbeitungsanlage nach Anspruch 1 oder 2, **dadurch gekennzeichnet,**

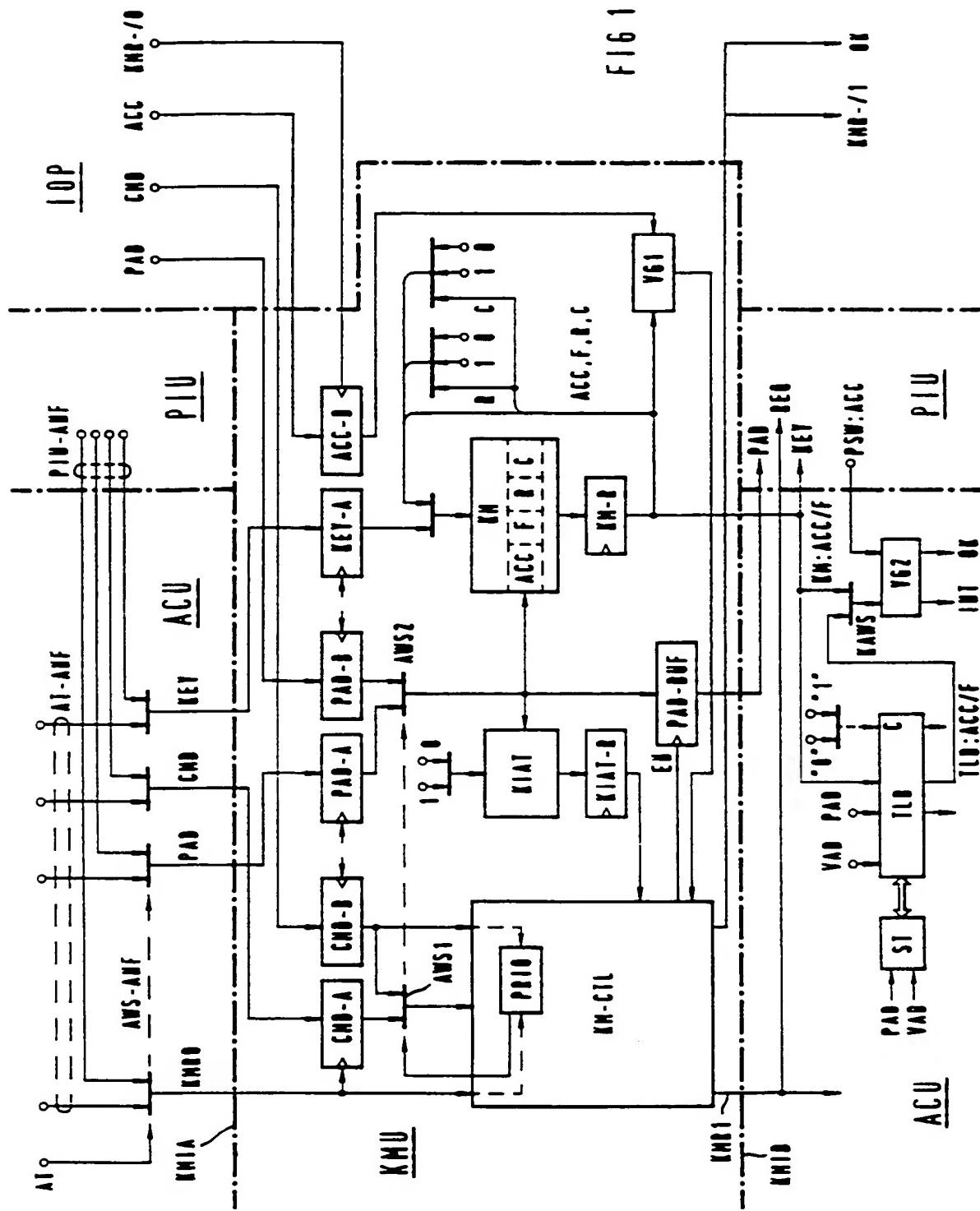
daß Ein-/Ausgabeprozessoren (IOP) über eine gemeinsame Ansteuerschnittstelle parallel zur gemeinsamen Eingabeschnittstelle (KMIA) für den steuernden Prozessor (PIU) und die Adreßumsetzungseinheit (ACU) mit der Schlüsselspeichersteuereinheit (KMU) verbunden sind, daß eine Vorrangschaltung über die Annahme gleichzeitig vorliegender Anforderungen entscheidet und daß Anforderungen von einem Ein-/Ausgabeprozessor (IOP) lediglich mit einem Signal (OK) "Zugriff erlaubt" bzw. "Zugriff nicht erlaubt" beantwortet werden.

4. Datenverarbeitungsanlage nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet,** daß dem Schlüsselspeicher (KM) ein weiterer, real adressierter Speicher (KIAT) parallel geschaltet ist, in dem die im Adreßumsetzungspuffer (TLB) enthaltenen Einträge über Datenabschnitte des Arbeitsspeichers (ASP) durch ein gesondertes Steuerbit gekennzeichnet sind, daß bei Eintrag eines neuen Schlüssels (ACC) in dem Schlüs-

Best Available Copy

# Best Available Copy

EP 0 600 112 A1

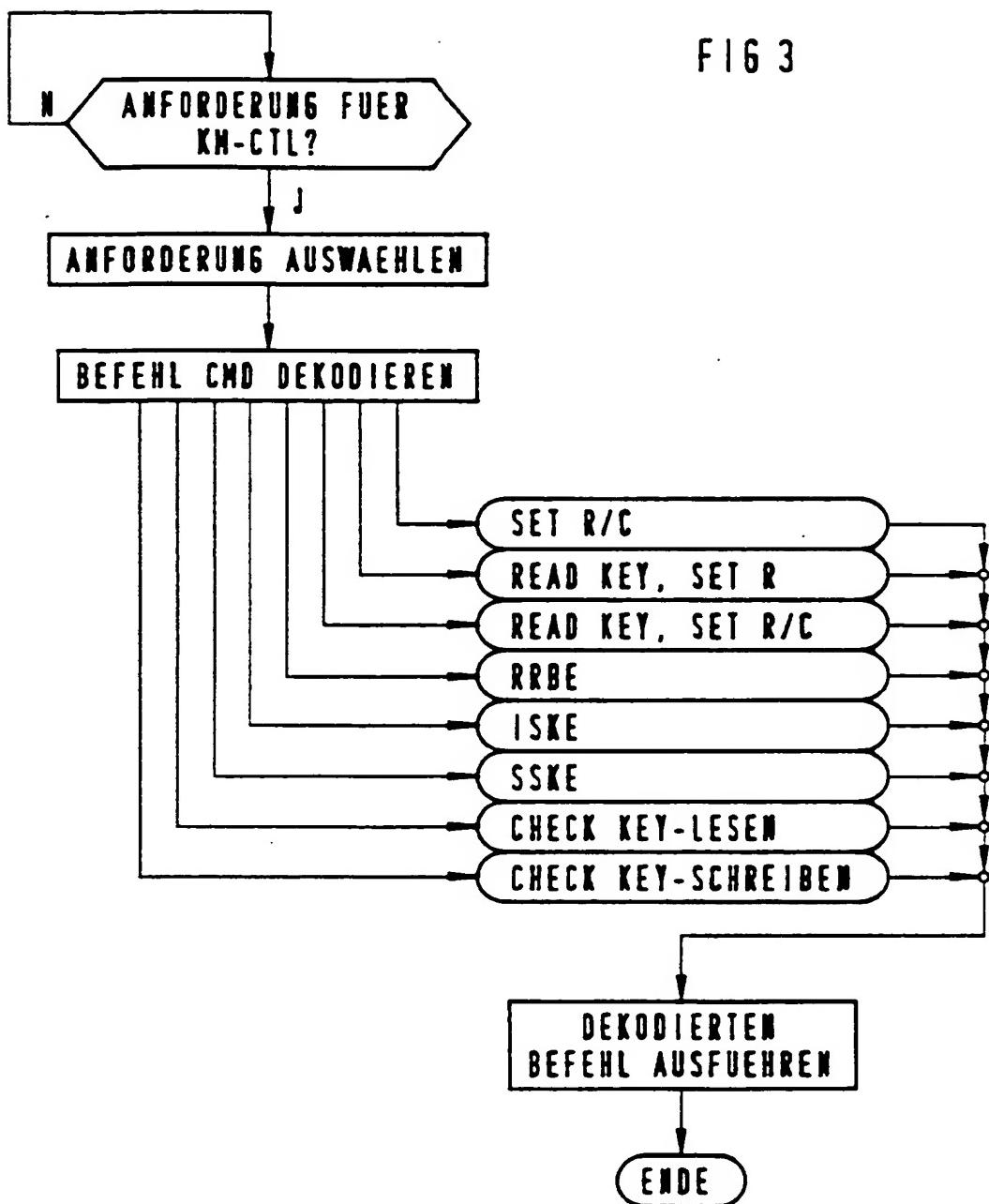


Best Available Copy

# Best Available Copy

EP 0 600 112 A1

FIG 3



# Best Available Copy

EP 0 600 112 A1

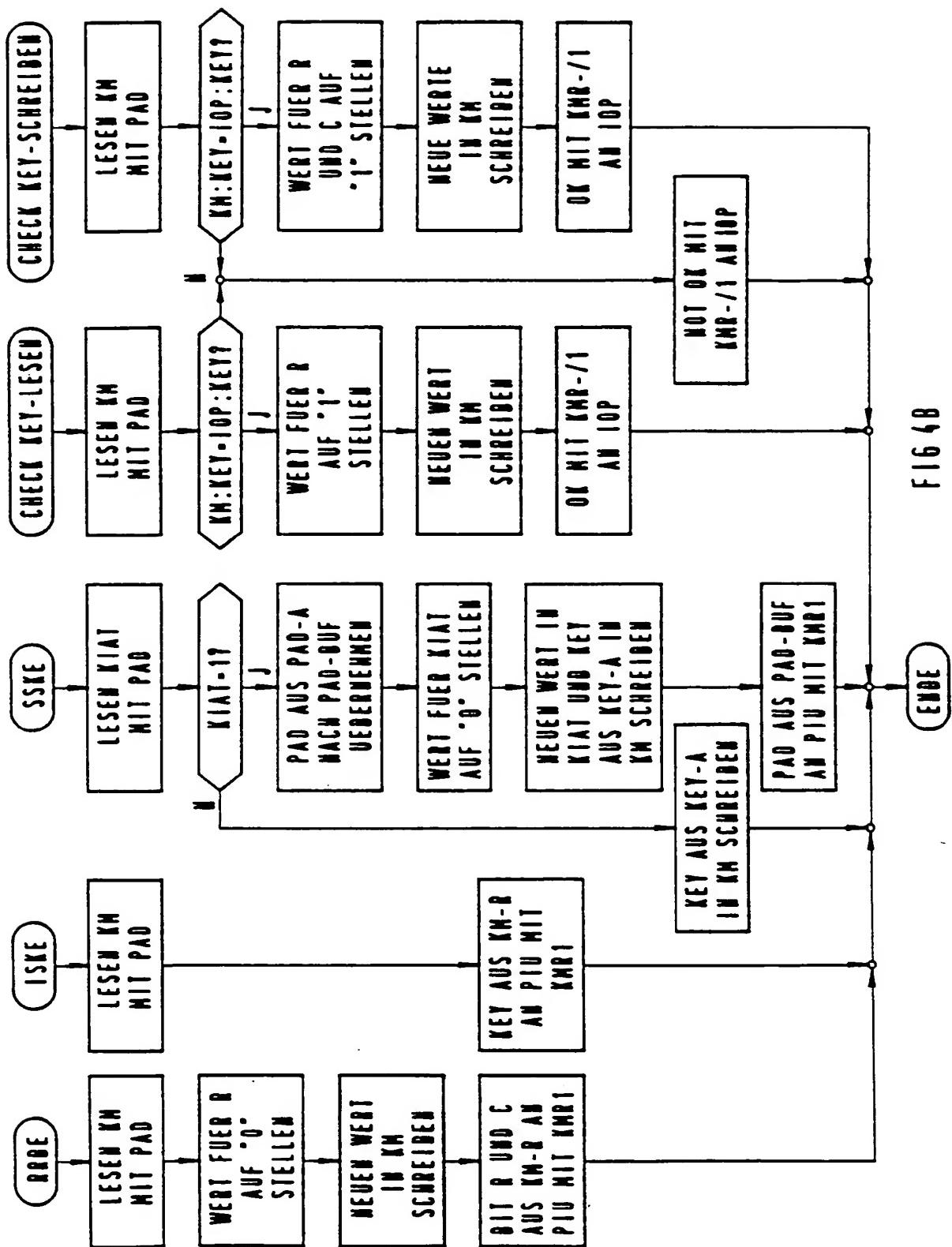


FIG 4B